

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-140566

(43)Date of publication of application : 20.05.1994

(51)Int.Cl.

H01L 27/04

H01L 21/82

(21)Application number : 04-309430

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing :

24.10.1992

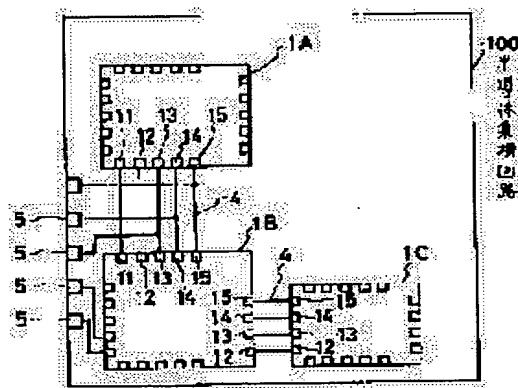
(72)Inventor : MIHASHI ICHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To reduce the occupancy rate of a wiring region and improve a wiring efficiency, in a semiconductor integrated circuit wherein a plurality of megamicros (large scale functional blocks) are arranged and the respective megamicros are interconnected by wirings.

CONSTITUTION: In a semiconductor integrated circuit, a plurality of megamicros (large scale functional blocks) 1A, 1B, 1C are arranged, and terminals 11 to 15 provided in the respective megamicros are interconnected by megamicro wirings 4 in case of inter-megamicro. In this semiconductor integrated circuit, the shape of each megamicro is square or rectangular, and on one side of the four sides of each megamicro, the same terminals 11 to 15 as the other sides are provided, and further, the corresponding terminals of the respective four sides are connected each other electrically by inner wirings. Thereby, when configuring the semiconductor integrated circuit, the terminals 11 to 15 on the sides provided oppositely to each other of the megamicros 1A to 1C can be interconnected correspondingly by the megamicro wirings 4. Therefore, it is not required that wirings are fretted along the peripheries of the megamicros, and the wiring region of the semiconductor integrated circuit is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

THIS PAGE BLANK (USPTO)

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-140566

(43)公開日 平成6年(1994)5月20日

(51)Int.Cl.⁴

H 0 1 L 27/04

識別記号

庁内整理番号

F I

技術表示箇所

A 8427-4M

E 8427-4M

U 8427-4M

21/82

7377-4M

H 0 1 L 21/ 82

B

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号

特願平4-309430

(22)出願日

平成4年(1992)10月24日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 三橋 一郎

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

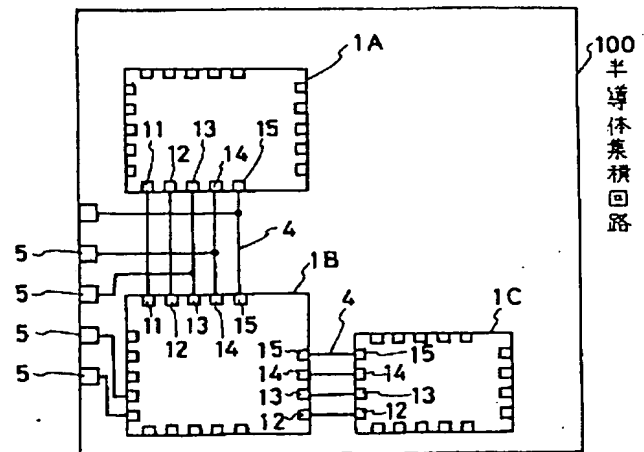
(74)代理人 弁理士 鈴木 章夫

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】 複数のメガマクロ(大規模機能ブロック)を配設し、かつ各メガマクロ間を配線接続した構成の半導体集積回路において、配線領域が占める割合を低減し、配線効率の改善を図る。

【構成】 複数のメガマクロ1A、1B、1Cを配設し、かつ各メガマクロに配置された端子11~15を相互にメガマクロ外配線4で接続する半導体集積回路において、メガマクロは方形又は長方形の形状をなし、その四辺にそれぞれ同じ端子を配置し、かつそれぞれ同じ端子を内部配線で相互に電気接続する。半導体集積回路を構成する際には、メガマクロ1A~1Cの互いに対向する辺の端子11~15を相互に配線4で接続することができるため、メガマクロの周辺に配線を引き回す必要がなく、配線領域を削減する。



1A~1C:メガマクロ

【特許請求の範囲】

【請求項 1】 複数の大規模機能ブロックを配設し、かつ各大規模機能ブロックに配置された端子を相互に配線で接続する半導体集積回路において、前記大規模機能ブロックは方形又は長方形の形状をなし、その四辺にそれぞれ同じ端子を配置し、かつそれぞれの同じ端子を内部配線で相互に電気接続したことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に関し、特に大規模の論理を実現するメガマクロ（大規模機能ブロック）を含む半導体集積回路に関する。

【0002】

【従来の技術】 従来、論理回路を構成するメガマクロは、図 3 に概略構成を示すように、方形或いは長方形をしたブロックの一辺に多数のデータバス入出力端子 11～15 を配列した構成とされている。そして、例えば、メガマクロ 1' 内のゲート 3 には、データバス入出力端子 15 から内部配線 2 により信号が供給される。このようなメガマクロを複数個用いて大規模な半導体集積回路を構成するには、図 4 に示すように、所要のレイアウトで配置された複数のメガマクロ 1A'、1B'、1C' にはそれぞれのデータバス入出力端子 11～15 にメガマクロ外配線 4 を接続し、このメガマクロ外配線 4 を介して外部端子 5 に接続し、各メガマクロ 1A'～1C' に対して信号を入出力させるように構成されている。

【0003】

【発明が解決しようとする課題】 このようなメガマクロにおいては、半導体集積回路の規模が大きくなり、一つの半導体集積回路内で使用するメガマクロの数や種類が多くなると、半導体集積回路の中でメガマクロが縦方向及び横方向に複数配置され、半導体集積回路全体に占めるメガマクロ部分の面積の割合が大きくなる。このため、メガマクロ以外の機能ブロック及び配線の領域が少なくなり、複数のメガマクロに共通に供給されるデータバス信号は、メガマクロの配線領域、又はメガマクロ内の空いている配線領域を引き回されるため、メガマクロの周辺で配線が混み合い、配線効率が悪くなる。

【0004】 また、従来のメガマクロはデータバス入出力端子が一辺にしか配置されていないため、メガマクロの配置が悪いとメガマクロと別のメガマクロの間、メガマクロと外部端子との間に配線が引き回されることになり、配線効率に大きな影響を与えることになる。本発明の目的は、配線効率を改善したメガマクロを含む半導体集積回路を提供することにある。

【0005】

【課題を解決するための手段】 本発明は、メガマクロは方形又は長方形の形状をなし、その四辺にそれぞれ同じ

端子を配置し、かつそれぞれ同じ端子を内部配線で相互に電気接続した構成とする。

【0006】

【実施例】 次に、本発明について図面を参照して説明する。図 1 は本発明にかかるメガマクロの一実施例の模式的な構成図である。同図に示すように、メガマクロ 1 に設けられる複数のデータバス入出力端子、ここでは 5 個のデータバス入出力端子 11、12、13、14、15 は、それぞれ方形又は長方形をしたメガマクロ 1 の四辺のそれぞれに配置されている。この場合、メガマクロ 1 の一点を基準点 P とし、各データバス入出力端子はこの基準点から一定距離を持ち、一定の間隔をおいて配置されている。例えば、この実施例ではメガマクロ 1 の一つの頂点（図の左下角）を基準点 P とし、この基準点 P に対して各データバス入出力端子 11～15 が一定距離でかつ一定間隔となるように各辺に配置している。この場合、各データバス入出力端子 11～15 の順序を一定にする。

【0007】 そして、四辺にそれぞれ配置された各データバス入出力端子 11～15 は、メガマクロ 1 内に配設された内部配線 2 により互いに同一のデータバス入出力端子が電気接続されている。なお、各データバス入出力端子 11～15 にはそれぞれ内部配線 2 によりゲート 3 等が接続されることは言うまでもない。

【0008】 したがって、このようなメガマクロを複数個用いて大規模半導体集積回路を構成する場合、例えば図 2 に示すように半導体集積回路 100 内に配置した複数のメガマクロ、ここでは 3 個のメガマクロ 1A、1B、1C をメガマクロ外配線 4 により相互に接続する場合には、四辺に設けたデータバス入出力端子 11～15 のうち、配線が最も短くなる位置のデータバス入出力端子を選択して使用することが可能になる。特に、この実施例のように複数のメガマクロのそれぞれ対応するデータバス入出力端子を相互に接続するような場合には、各メガマクロが縦方向、横方向のいずれに配置されていても、それぞれ向かい合った辺の同じ端子を相互に接続すればよいので、メガマクロ外配線 4 は極めて短いものとなる。

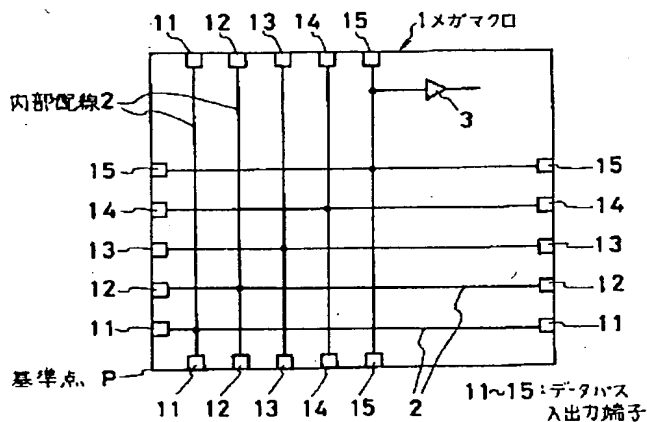
【0009】 因みに、図 2 と図 4 とは同じ大きさ及び数のメガマクロを用いて半導体集積回路を構成した例であり、両者を比較することでメガマクロ外配線が短縮されていることが判る。これにより、半導体集積回路内において配線が占める領域を低減し、メガマクロの周辺における配線効率を改善する。この配線はメガマクロ同士を接続する場合のみならず、メガマクロと半導体集積回路の外部端子との間の接続においても同様である。なお、前記実施例ではメガマクロのデータバス入出力端子について説明したが、バス構造を配線するための端子であれば、データバス端子以外の端子を設ける場合においても本発明は有効である。

【0010】

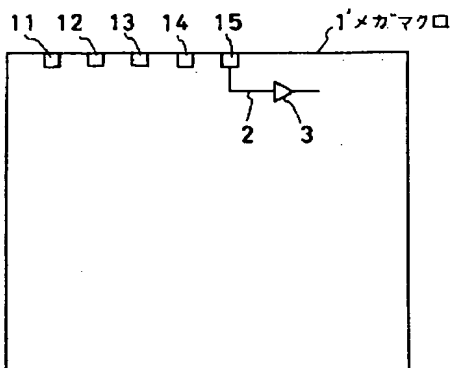
【発明の効果】以上説明したように本発明は、方形又は長方形に形成したメガマクロの四辺にそれぞれ同じ端子を配置し、かつそれぞれの同じ端子を内部配線で相互に電気接続しているので、半導体集積回路に配置された複数のメガマクロを相互に電気接続する場合には、互いに向かい合った辺の端子同士を接続することが可能となり、メガマクロ間の配線長を短縮し、メガマクロ外で配線が引き回されてメガマクロの周辺で配線が混み合うことがなく、配線効率が良くなる。また、メガマクロの配置如何によっても配線効率に影響を与えることは少なくなる。更に、外部端子とメガマクロの端子との接続も、外部端子の近くの端子を利用して行うことができるので、メガマクロを半導体集積回路の周辺に置いても、配線が混み合うことがないという効果が得られる。

【図面の簡単な説明】

【図1】



【図3】



【図1】本発明の半導体集積回路に適用されるメガマクロの端子配列を示す概略構成図である。

【図2】図1のメガマクロを用いた半導体集積回路の配線構成を示すための概略構成図である。

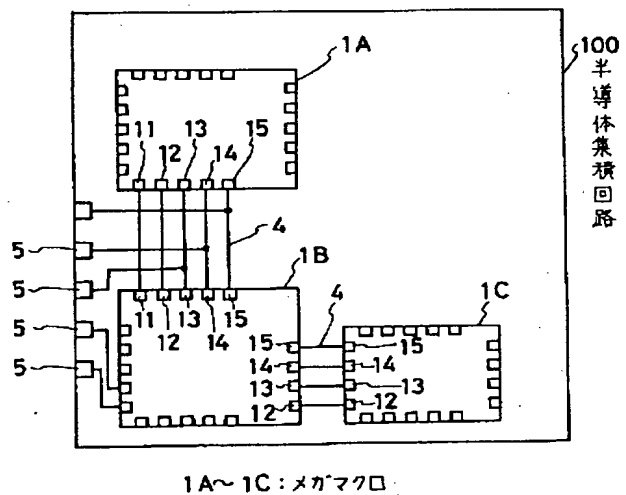
【図3】従来のメガマクロの端子配列を示す概略構成図である。

【図4】図3のメガマクロを用いた半導体集積回路の配線構成を示すための概略構成図である。

【符号の説明】

- 100 半導体集積回路
- 1, 1A, 1B, 1C メガマクロ
- 2 内部配線
- 4 メガマクロ外配線
- 5 外部端子
- 11~15 データバス入出力端子

【図2】



【図4】

